

Řídicí software pro zpracování ethernetových rámců určených k přenosu s pomocí mikrovlnného radiového spoje

Pavel Kubalík

Fakulta informačních technologií
České vysoké učení technické v Praze
Kolejná 550/2, 160 00 Praha 6
e-mail: xkubalik@fit.cvut.cz

1. Zadání

Cílem této práce je navrhnout a zprovoznit řídicí desku umožňující zpracovávat rámce z ethernetu, radia a procesoru. Řídicí deska musí umožňovat směrovat rámce. FPGA obvod umístěný na řídicí desce propojuje 4 základní prvky zpracovávající rámce. Tyto prvky jsou: ethernetové rozhraní GMII, externí sběrnice procesoru HD6417760, 4 bitové rozhraní směrem k radiové desce a paměťové rozhraní používané k vyrovnávání rychlostí mezi ethernetem a radiem.

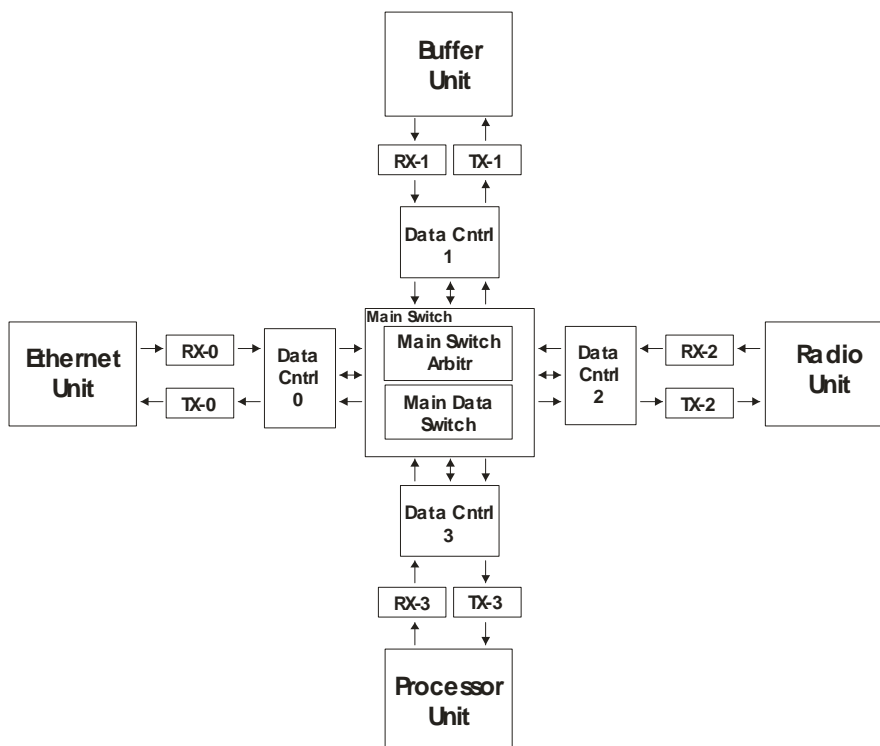
2. Návrh řešení

Směrování rámců s pomocí FPGA obvodu je velmi rozšířené. Vzhledem k náročnosti této operace jsou v praxi často používány nejrychlejší typy FPGA obvodů. V našem případě je základním kritériem cena celého zařízení, která musí být co nejnižší. V návrhu je proto použit FPGA obvod Spartan 3 – XC3S1000. Pracovní frekvence je dána nutností zpracovávat data z GMII rozhraní pracujícím na 125Mhz.

Tato frekvence je pro obvod Spartan 3 již poměrně vysoká. Je proto nutné dobře zvážit architekturu a jednotlivé bloky návrhu implementovaného v FPGA. Dalším kritériem je možnost snadné rozšiřitelnosti a opravy jednotlivých částí. Proto bude návrh směřovat k využití základních stavebních bloku opakovaně a vytvořit nové rozhraní tak, aby nebylo závislé na původním rozhraní směřujícím ven z FPGA. Proto bude každé rozhraní upraveno tak, aby z pohledu směrovače nebylo poznat, o jaké zařízení jde. Odlišnost budou tvořit pouze vodiče doplňující základní funkce rozhraní o další schopnosti.

Rychlost přenosu rámců neumožňuje zpracovávat každý paket zvlášť. Proto bude výsledné řešení obsahovat na straně ethernetu vyrovnávací paměť typu FIFO. Rámce přenášené z ethernetu do radia bude z důvodu různých rychlostí ukládáno do externí paměti s vyšší kapacitou. Všechny rámce ze a do všech směru budou opatřeny vyrovnávací pamětí o kapacitě maximálně 2 rámce umožňující data zároveň přijímat a směrovat.

Pro tyto podmínky bylo navrženo blokové schéma zobrazené na obrázku 1.



Obrázek 1: Blokové schéma návrhu směšovače rámců

3. Řešení

V této kapitole budou popsány základní vlastnosti jednotlivých částí včetně jejich funkce.

3.1. Blok ethernetu – 0

Základem tohoto bloku je několik dílčích funkčních celku starajících se o příjem rámců a jejich zpracování. Nejdůležitější částí je ethernetové jádro zakoupené od firmy Xilinx. Nad toto jádro byl vytvořen wrapper (obálka upravující interface) umožňující snadnější komunikaci s okolím. Dalším základním blokem je konfigurační blok umožňující nastavovat chování externího obvodu zpracovávajícího surová data z ethernetové linky. Po přijetí ethernetového rámce je návrh rozdělen do dvou nezávislých částí, kde jedna se stará o příjem rámců a jejich přeposílání s pomocí směšovače na správný interface. Druhá část má na starosti zpracování rámců ze směšovače a jejich následné odeslání do ethernetového jádra. Každá část obsahuje vyrovnávací paměť FIFO a paměť pro udržení dvou rámců. Data přicházející z ethernetového jádra jsou 8-bitová. Po výstupu z vyrovnávací paměti jsou data konvertována na 16-bitu z důvodu rychlejšího zpracování a uložena do blockram paměti. Pro příjem a odesílání rámců se stará řídicí obvod. Každý směr (odesílání a příjem) má vlastní řídicí obvod. Přijímací řídicí obvod se stará o rezervaci datového přepínače a následný přenos dat. Tyto jednotky jsou pro všechny bloky stejné.

3.2. Blok externí vyrovnávací paměti - 1

Tento blok se stará o ukládání dat přijatých ze směrovače (v našem případě z ethernetu) a jeho následné ukládání do externí paměti. Rozhraní s pamětí je zde 32 bitové. Data je proto nutné upravit. Vzhledem k rychlosti externích pamětí a hardwarového omezení je možné do paměti buď zapisovat a nebo zní číst. Pokud tedy data z ethernetu přicházejí maximální rychlostí, dochází pouze k zápisu do paměti. Pokud se paměť zaplní, jsou rámce čteny až do doby, než je paměť úplně prázdná. Pokud rámce z ethernetu nepřicházejí maximální rychlostí, jsou rámce zapsané do externí paměti opět vyčítány. Toto chování lze upravit i na jiný způsob a to dle požadavku na zahazování rámců. Tyto úpravy mají zásadní vliv na rychlost celého návrhu a při použití FPGA obvodu Spartan 3 může dojít k nesplnění časových požadavků a změnu tedy nelze použít. Bloky pro příjem a odesílání jsou opět rozděleny stejně jako u bloku 0 s tím rozdílem, že zde není blok FIFO.

3.3. Blok radia - 2

Tento blok se stará o příjem a odesílání z a do radia. Vzhledem k hardwarovému omezení jsou data převáděna na 4-bity. Není proto možné dosáhnout maximální přenosové rychlosti poskytující 100Mbit ethernet. Bloky pro příjem a odesílání pracují se stejnou frekvencí ale s odlišnou fází. Jedná se proto o 2 nezávislé časové domény. Tento blok je časově velmi náročný a jakákoliv změna může vést k nesplnění časových požadavků. Bloky pro příjem a odesílání jsou opět rozděleny stejně jako u bloku 0 s tím rozdílem, že zde není blok FIFO.

3.4. Blok procesoru - 3

Tento blok se stará o komunikaci s externím procesorem. Komunikace probíhá přes sdílenou paměť implementovanou v FPGA obvodu. Jsou zde uloženy i informace o základním nastavení celé řídicí desky. Vyčítání konfigurace ze sdílené paměti řeší speciální blok navržený tak, aby jednotlivé interface mohly nezávisle přistupovat k této paměti a zároveň se neprodlužovala doba přístupu. Bloky pro příjem a odesílání jsou opět rozděleny stejně jako u bloku 0 s tím rozdílem, že zde není blok FIFO.

3.5. Blok main switch - 3

Tento blok je velmi důležitý. Lze pomocí něho zrealizovat 4 nezávislá spojení, která se navzájem neblokují. Každý přijímací řídicí obvod musí pro vytvoření spojení na základě MAC adresy rámce požádat arbitr o vytvoření spojení. Pokud spojení nelze vytvořit je na základě tabulky pravidel rozhodnuto, zda se rámec zahodí a nebo dojde k pozastavení příjmu rámců. Pokud je spojení vytvořeno, přijímací řídicí obvod přesune paket do vyrovnávací paměti příslušného odesílacího bloku.

3.6. Návrh spolehlivého systému

V rámci tohoto grantu je část výzkumu věnována spolehlivému návrhu zařízení využívajícího FPGA obvody. Tyto obvody jsou citlivé na vnější prostředí a může dojít ke změně jejich chování nebo úplnému zablokování. Tím je také znemožněna vzdálená správa těchto zařízení. Jejich citlivost zejména na záření je způsobena neustálým zmenšováním minimálních rozměrů použitých při výrobě samotných čipů FPGA obvodů. V rámci tohoto grantu vznikla v roce 2009 jedna publikace [1] zabývající se technikami návrhu s FPGA obvody a jejich spolehlivostí. Jako základ pro testování byly použity základní struktury z projektu návrh zabezpečeného železničního zařízení. Metodologii návrhu lze použít i pro řídicí části směšovače a to bez větších modifikací. Výsledek chování lze následně zobrazovat s pomocí procesoru.

4. Závěr a budoucí práce

V rámci tohoto projektu se podařilo vytvořit funkční implementaci řídicí desky pro směrování rámců. Řídicí deska umožňuje směrovat rámce mezi 4 základními rozhraními. Toto směrování lze snadno konfigurovat. Směrování je prováděno na základě tabulky MAC adres ethernetového rámce. Každá linka byla opatřena vyrovnávací pamětí. Pro směr z ethernetu do radia byla implementováno ukládání rámců do externí paměti. Je proto možné do radiového spoje přenést několik 64kB paketů a to bez nutnosti opakovat některé rámce. Univerzálnost některých důležitých bloků umožňuje snadnou změnu funkce směšovače. Jediným problémem je pracovní frekvence, která znemožňuje snadnou změnu funkce směšovače. Jakákoliv změna vede ve většině případů k nesplnění časových omezení a obvod nelze implementovat. Tento nedostatek by vyřešil rychlejší obvod, který však zvýší celkovou cenu zařízení o nezanedbatelnou hodnotu.

5. Odkazy

- [1] Borecký J., Kubalík P., Kubátová H.: „Reliable Railway Station System based on Regular Structure implemented in FPGA“ (Stať ve sborníku), In Proceedings of 12th Euromicro Conference on Digital System Design. Los Alamitos: IEEE Computer Society, 2009.